



(19)

(11) Publication number:

09069615 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 07245516

(51) Intl. Cl.: H01L 27/108 H01L 21/8242 C01B 13/14
H01L 27/04 H01L 21/822 H01L 21/8247
H01L 29/788 H01L 29/792

(22) Application date: 30.08.95

(30) Priority:

(43) Date of application
publication: 11.03.97(84) Designated
contracting states:

(71) Applicant: SONY CORP

(72) Inventor: ISOBE CHIHARU
SUGIYAMA MASATAKA
HIRONAKA KATSUYUKI
AMI TAKAAKI
KURISUCHIYAN GUTSUTOREEBEN

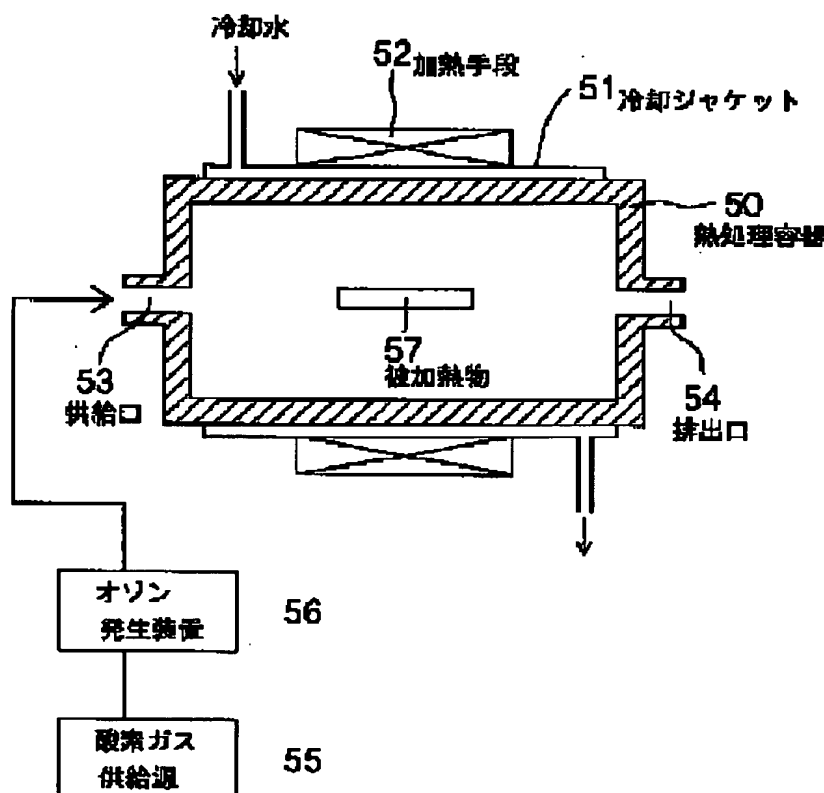
(74) Representative:

(54) FORMATION METHOD
FOR FERROELECTRIC THIN
FILM AND MANUFACTURING
METHOD FOR CAPACITOR
STRUCTURE OF
SEMICONDUCTOR ELEMENT

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain desired crystalloid and materiality by heat-treating a ferroelectric thin film in active oxygen atmosphere, which is the oxygen atmosphere containing oxidizing gas, so that the problem of oxygen failure is solved.

SOLUTION: A ferroelectric thin film consisting of a Y1 material is heat-treated in the oxygen atmosphere containing oxidizing gas consisting of ozone. Actually, heat treatment is performed on the ferroelectric thin film in atmospheric oxygen atmosphere containing 5weight% of ozone at 400° C, for one hour. A heat treatment vessel 50 is provided with a supply port 53 supplying the oxygen gas containing the oxidizing gas consisting of ozone to the heat treatment vessel. The oxygen gas supplied from an oxygen gas supply source 55 becomes oxygen gas containing the oxidizing gas consisting of ozone by passing through an ozone generation device 56, and the gas is supplied to the heat treatment vessel 50 through the supply port 53. Since the wall surface of the heat treatment vessel 50 is cooled with a cooling jacket 51, only a to-be-heated material 57 and neighborhood become active oxygen atmosphere.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-69615

(43) 公開日 平成9年(1997)3月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242			C 0 1 B 13/14	A
C 0 1 B 13/14			H 0 1 L 21/316	P
H 0 1 L 27/04			27/04	C
21/822			29/78	3 7 1

審査請求 未請求 請求項の数16 F D (全 12 頁) 最終頁に続く

(21) 出願番号	特願平7-245516	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成7年(1995)8月30日	(72) 発明者	磯辺 千春 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	杉山 正隆 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	広中 克行 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(74) 代理人	弁理士 山本 孝久
			最終頁に続く

(54) 【発明の名称】 強誘電体薄膜の形成方法及び半導体素子のキャパシタ構造の作製方法

(57) 【要約】

【課題】強誘電体薄膜を堆積させた後、かかる強誘電体薄膜を熱処理することによって、酸素欠陥（酸素空孔）の問題を解決し、所望の結晶性、物性を有する強誘電体薄膜を形成する方法を提供する。

【解決手段】強誘電体薄膜の形成方法は、強誘電体薄膜を活性酸素雰囲気中で熱処理することの特徴とする。活性酸素雰囲気は、オゾン、 N_2O 又は NO_2 といった酸化性ガスを含有する酸素雰囲気とすることができ、あるいは又、活性酸素雰囲気を、酸素のプラズマ励起若しくはオゾン及び／又は酸素の紫外光励起によって得ることができる。

【特許請求の範囲】

【請求項1】 強誘電体薄膜を活性酸素雰囲気中で熱処理することを特徴とする強誘電体薄膜の形成方法。

【請求項2】 活性酸素雰囲気は、酸化性ガスを含有する酸素雰囲気であることを特徴とする請求項1に記載の強誘電体薄膜の形成方法。

【請求項3】 酸化性ガスは、オゾン、 N_2O 又は NO_2 であることを特徴とする請求項2に記載の強誘電体薄膜の形成方法。

【請求項4】 活性酸素雰囲気は、酸素のプラズマ励起によって得られることを特徴とする請求項1に記載の強誘電体薄膜の形成方法。

【請求項5】 活性酸素雰囲気は、オゾン及び／又は酸素の紫外光励起によって得られることを特徴とする請求項1に記載の強誘電体薄膜の形成方法。

【請求項6】 強誘電体薄膜は、Bi系層状構造ペロブスカイト型の強誘電体材料から成ることを特徴とする請求項1に記載の強誘電体薄膜の形成方法。

【請求項7】 強誘電体薄膜は、Y1系材料($Bi_2(Sr, Ba, Ca)(Ta, Nb)_2O_9$)から成ることを特徴とする請求項6に記載の強誘電体薄膜の形成方法。

【請求項8】 Y1系材料は $Bi_2SrTa_2O_9$ から成ることを特徴とする請求項7に記載の強誘電体薄膜の形成方法。

【請求項9】 (イ) 基体上に下部電極層を形成する工程と、

(ロ) 該下部電極層上に強誘電体薄膜を形成した後、該強誘電体薄膜を活性酸素雰囲気中で熱処理する工程と、

(ハ) 該強誘電体薄膜上に上部電極層を形成する工程、から成ることを特徴とする半導体素子のキャパシタ構造の作製方法。

【請求項10】 活性酸素雰囲気は、酸化性ガスを含有する酸素雰囲気であることを特徴とする請求項9に記載の半導体素子のキャパシタ構造の作製方法。

【請求項11】 酸化性ガスは、オゾン、 N_2O 又は NO_2 であることを特徴とする請求項10に記載の半導体素子のキャパシタ構造の作製方法。

【請求項12】 活性酸素雰囲気は、酸素のプラズマ励起によって得られることを特徴とする請求項9に記載の半導体素子のキャパシタ構造の作製方法。

【請求項13】 活性酸素雰囲気は、オゾン及び／又は酸素の紫外光励起によって得られることを特徴とする請求項9に記載の半導体素子のキャパシタ構造の作製方法。

【請求項14】 強誘電体薄膜は、Bi系層状構造ペロブスカイト型の強誘電体材料から成ることを特徴とする請求項9に記載の半導体素子のキャパシタ構造の作製方法。

【請求項15】 強誘電体薄膜は、Y1系材料($Bi_2(Sr, Ba, Ca)(Ta, Nb)_2O_9$)から成ることを特徴とする請求項14に記載の半導体素子のキャ

パシタ構造の作製方法。

【請求項16】 Y1系材料は $Bi_2SrTa_2O_9$ から成ることを特徴とする請求項15に記載の半導体素子のキャパシタ構造の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電体薄膜中の酸素欠陥を低減し得る強誘電体薄膜の形成方法、並びに、かかる強誘電体薄膜の形成方法を適用した半導体素子のキャパシタ構造の作製方法に関する。

【0002】

【従来の技術】 近年、成膜技術の進歩に伴い強誘電体薄膜を用いた不揮発性メモリセルの応用研究が盛んに進められている。この不揮発性メモリセルは、強誘電体薄膜の高速分極反転とその残留分極を利用する高速書き換えが可能な不揮発性メモリセルである。現在研究されている強誘電体薄膜不揮発性メモリセルは、強誘電体キャパシタの蓄積電荷量の変化を検出する方式と、強誘電体の自発分極による抵抗変化を検出する方式の2つに分類することができる。本発明の半導体素子は前者に属する。

【0003】 強誘電体キャパシタの蓄積電荷量の変化を検出する方式の不揮発性メモリセルとして、例えば、強誘電体キャパシタに選択トランジスタを付加した1キャパシタ+1トランジスタ構造を有する不揮発性メモリセルを挙げることができる。強誘電体キャパシタは、例えば、下部電極と上部電極、及びそれらの間に挟まれた強誘電体薄膜から構成されている。このタイプの不揮発性メモリセルにおけるデータの書き込みや読み出しは、図10に示す強誘電体のP-Eヒステリシスループを応用して行われる。強誘電体薄膜に外部電界を加えた後、外部電界を除いたとき、強誘電体薄膜は自発分極を示す。そして、強誘電体薄膜の残留分極は、プラス方向の外部電界が印加されたとき+ P_r 、マイナス方向の外部電界が印加されたとき- P_r となる。ここで、残留分極が+ P_r の状態(図10の「D」参照)の場合を"0"とし、残留分極が- P_r の状態(図10の「A」参照)の場合を"1"とする。

【0004】 "1"あるいは"0"の状態を判別するために、強誘電体薄膜に例えばプラス方向の外部電界を印加する。これによって、強誘電体薄膜の分極は図10の「C」の状態となる。このとき、データが"0"であれば、強誘電体薄膜の分極状態は、「D」から「C」の状態に変化する。一方、データが"1"であれば、強誘電体薄膜の分極状態は、「A」から「B」を経由して「C」の状態に変化する。データが"0"の場合には、強誘電体薄膜の分極反転は生じない。一方、データが"1"の場合には、強誘電体薄膜に分極反転が生じる。その結果、強誘電体キャパシタの蓄積電荷量に差が生じる。選択されたメモリセルの選択トランジスタをオンすることで、この蓄積電荷を信号電流として検出する。

データの読み出し後、外部電界を0にすると、データが“0”のときでも“1”のときでも、強誘電体薄膜の分極状態は図10の「D」の状態となってしまう。それ故、データが“1”の場合、マイナス方向の外部電界を印加して、「D」、「E」という経路で「A」の状態とし、データ“1”を書き込む。

【0005】Bi系層状構造ペロブスカイト型の強誘電体材料から成る強誘電体薄膜（以下、ピスマス層状強誘電体薄膜と呼ぶ場合もある）は、従来のPZT系の強誘電体薄膜の最大の欠点であったファティーグ現象（データの書き換えの繰り返しによる残留分極の低下）が見られないことから、上記の不揮発性メモリ用の強誘電体薄膜として注目を集めている。ピスマス層状強誘電体薄膜をかかると不揮発性メモリへ応用する場合、その薄膜形成技術の開発が不可欠である。現状では、MOD（Metal Organic Decomposition）法等のスピンコート法に基づき、良好な強誘電特性を示す強誘電体薄膜が得られるとされている。また、高集積度のメモリに適用するために、段差被覆性や処理速度に優れるCVD法の開発が進められている。

【0006】

【発明が解決しようとする課題】これらのいずれの成膜方法においても、得られる強誘電体薄膜は、酸素が不足した膜になり易い。言い換えれば、酸素欠陥（酸素空孔）を含んだ膜が形成され易い。この酸素欠陥（酸素空孔）は、誘電率の低下、リーク電流の増加、残留分極の低下、抗電界の増加等を招き、所望の誘電特性や強誘電特性を得る上で大きな弊害となる。

【0007】MOD法やCVD法による強誘電体薄膜の成膜過程で酸素欠陥（酸素空孔）が生じる理由は、以下のように考えられている。MOD法の場合、金属-酸化物結合を持たない原料化合物から薄膜を堆積させ、その後、酸素雰囲気下での熱処理を行い、この熱処理による酸素の固相拡散に基づき金属-酸素結合を形成して酸化物である強誘電体薄膜を形成する。従って、強誘電体薄膜には酸素欠陥（酸素空孔）が生じ易い。一方、CVD法による薄膜堆積の場合にも、原料化合物が金属-酸素結合を分子中に持つか否かで堆積する薄膜の酸化状態が大きく異なる。現在、入手可能なピスマス（Bi）原料はトリフェニルピスマス及びその類似化合物のみであり、これらの化合物は金属-酸素結合を持たない。従って、CVD法によってピスマス層状強誘電体薄膜を堆積させる場合、

(A) トリフェニルピスマスの分解と金属ピスマスの生成

(B) 雰囲気中の酸素による金属ピスマスの酸化
という2段階の反応が必要である。それ故、酸素欠陥（酸素空孔）を含む強誘電体薄膜が形成されることは避け難い。従って、MOD法、CVD法、いずれの場合においても、新たな原料化合物の開発、あるいは、新規な

強誘電体薄膜の形成方法の開発無くしては、酸素欠陥（酸素空孔）の問題を解決することは極めて困難である。

【0008】このような状況の下では、強誘電体薄膜の堆積工程と、かかる強誘電体薄膜のポストアニール（熱処理）工程とを経ることによって、酸素欠陥（酸素空孔）の問題を解決し、所望の結晶性や物性を有する強誘電体薄膜を形成する方法が最良の方法であると考えられる。酸化物材料から成る薄膜のポストアニール方法としては、酸素ガス中での熱処理（アニール）が一般的であるが、この方法では強誘電体薄膜から酸素欠陥（酸素空孔）を十分に取り除くことができない場合が多い。その結果、強誘電体薄膜の表層には、ピスマスが酸化されずに金属として存在する。また、酸素ガス中での熱処理（アニール）は、通常、800°C程度で行われるため、熱により強誘電体薄膜に欠陥が発生し易いといった問題もある。

【0009】従って、本発明の目的は、強誘電体薄膜を堆積させた後、かかる強誘電体薄膜を熱処理することによって、酸素欠陥（酸素空孔）の問題を解決し、所望の結晶性、物性を有する強誘電体薄膜を形成する方法、並びに、かかる強誘電体薄膜の形成方法を適用した半導体素子のキャパシタ構造の作製方法を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するための本発明の強誘電体薄膜の形成方法は、強誘電体薄膜を活性酸素雰囲気中で熱処理することと特徴とする。

【0011】あるいは又、上記の目的を達成するための本発明の半導体素子のキャパシタ構造の作製方法は、

(イ) 基体上に下部電極層を形成する工程と、(ロ) 該下部電極層上に強誘電体薄膜を形成した後、該強誘電体薄膜を活性酸素雰囲気中で熱処理する工程と、(ハ) 該強誘電体薄膜上に上部電極層を形成する工程、から成ることを特徴とする。

【0012】本発明の半導体素子のキャパシタ構造の作製方法においては、下部電極層を構成する材料として、白金（Pt）、ペロブスカイト構造を有するLa-Sr-CO-O（以下、LSCOと略す）、白金/LSCOの2層構造を挙げることができる。一方、上部電極層を構成する材料として、Ptやアルミニウム系合金、Pt/LSCOの2層構造を挙げることができる。尚、下層電極層の下に、例えばチタン酸ピスマス（Bi₄Ti₃O₁₂、BTOと略す）から成るバッファ層を設け、更に、かかるバッファ層の下にアモルファス材料若しくは安定化ジルコニアから成る下地層を設けてもよい。

【0013】本発明の強誘電体薄膜の形成方法あるいは半導体素子のキャパシタ構造の作製方法においては、活性酸素雰囲気を、酸化性ガスを含有する酸素雰囲気とする形態を挙げることができる。この場合、酸化性ガスと

して、オゾン、 N_2O 又は NO_2 を例示することができる。オゾンは室温で徐々に分解して酸素分子と原子状酸素を発生する。オゾンから成る酸化性ガスを含有する酸素雰囲気中で熱処理を行う場合、酸素の強誘電体薄膜中での拡散を考慮して、オゾンの濃度を1乃至10重量%、好ましくは5乃至8重量%、雰囲気温度を300乃至600°C、好ましくは400乃至500°Cとし、熱処理時間を10乃至120分、好ましくは30乃至60分とすることが望ましい。一方、 N_2O は約500°Cで分解し、窒素と原子状酸素を発生する。 N_2O から成る酸化性ガスを含有する酸素雰囲気中で熱処理を行う場合、酸素の強誘電体薄膜中での拡散を考慮して、 N_2O の濃度を1乃至20重量%、好ましくは10乃至15重量%、雰囲気温度を400乃至700°C、好ましくは500乃至600°Cとし、熱処理時間を10乃至120分、好ましくは30乃至60分とすることが望ましい。更には、 NO_2 から成る酸化性ガスを含有する酸素雰囲気中で熱処理を行う場合、酸素の強誘電体薄膜中での拡散を考慮して、 NO_2 の濃度を1乃至20重量%、好ましくは10乃至15重量%、雰囲気温度を400乃至700°C、好ましくは500乃至600°Cとし、熱処理時間を10乃至120分、好ましくは30乃至60分とすることが望ましい。

【0014】あるいは又、活性酸素雰囲気を、酸素のプラズマ励起によって得る形態、オゾン及び/又は酸素の紫外光励起によって得る形態を挙げることができる。

【0015】尚、活性酸素雰囲気を上記のいずれの方法の中から選択するかは、熱処理の対象となる強誘電体薄膜の性質を考慮して、熱処理温度、活性酸素雰囲気の酸化力等に基づき決定すればよい。

【0016】本発明の強誘電体薄膜の形成方法あるいは半導体素子のキャパシタ構造の作製方法においては、強誘電体薄膜は、例えばBi系層状構造ペロブスカイト型の強誘電体材料から成る。Bi系層状構造ペロブスカイト型の強誘電体材料として、 $Bi_2SrTa_2O_9$ 、 $Bi_2SrNb_2O_9$ 、 $Bi_2BaTa_2O_9$ 、 $Bi_4SrTi_4O_{15}$ 、 $Bi_4Ti_3O_{12}$ 、 $Bi_2Sr(Ta_xNb_{2-x})O_9$ 、 $Bi_2PbTa_2O_9$ 等を例示することができるが、中でも、強誘電体薄膜は、Y1系材料($Bi_2(Sr, Ba, Ca)(Ta, Nb)_2O_9$)から成ることが好ましく、更には、Y1系材料は $Bi_2SrTa_2O_9$ から成ることが好ましい。

【0017】本発明における強誘電体薄膜の成膜方法としては、ソルゲル法、MOD法等のスピンコート法による成膜方法、これを改良したLSMCD(Liquid Source Chemical Deposition)法、有機金属やメタルハライドを原料とするCVD法、液相でソース原料の搬送及び混合を行い気化室で急激に減圧してソース原料を気化させるフラッシュCVD法を挙げることができ、物理蒸着法としては、真空蒸着法、分子線蒸着法、レーザアブレ

ーションによるPLD(Physical Laser Deposition)法、スパッタリング法等を挙げることができる。

【0018】本発明においては、従来の酸化雰囲気での熱処理に用いられる酸素ガスと比較して格段に酸化力が強いとされている原子状の酸素をガス雰囲気に導入し、あるいは又、ガス雰囲気に原子状の酸素を含ませることによって、即ち、強誘電体薄膜を活性酸素雰囲気中で熱処理することによって、強誘電体薄膜中の金属原子が確実に酸化され、強誘電体薄膜中の酸素欠陥の低減を図ることができる。しかも、熱処理温度を、従来の酸素ガス中での熱処理(アニール)よりも低くすることができ、熱処理時における熱によって強誘電体薄膜に欠陥が発生し易いといった問題を確実に回避することができる。

【0019】

【実施例】以下、図面を参照して、実施例に基づき本発明を説明する。

【0020】(実施例1) 実施例1は、本発明の強誘電体薄膜の形成方法に関する。実施例1においては、MOD法にて成膜したY1系材料である $Bi_2SrTa_2O_9$ から成る強誘電体薄膜を、オゾンから成る酸化性ガスを含有する酸素雰囲気中で熱処理した。MOD法におけるソース原料として、以下の材料を使用した。

【0021】Biソース： n -オクタン酸ビスマス($Bi(OOCC_7H_{15})_3$)

Srソース： n -オクタン酸ストロンチウム($Sr(OOCC_7H_{15})_2$)

Taソース：2-エチルヘキサン酸タンクル($Ta(OOCC_2H_5)_5$)

【0022】これらの原料化合物を溶媒(2-メトキシエタノール)に所定のモル比になるように混合した後、溶媒置換によりキシレン溶液とした。このソース原料溶液をスピンコート法により白金(Pt)基板上に塗布した。3回のスピンコート(回転数2500rpm)を実行し、3層、積層した。このようにして、膜厚約200nmの(Bi, Sr, Ta)の3元素を含む薄膜を成膜した後、次の手順で乾燥、焼成を行った。

(1) 塗布乾燥：100°C×3分、その後、150°C×5分、更にその後、250°C×5分

(2) 急速ベーキング：塗布乾燥後、昇度125°C/分で725°Cまで加熱した後、この状態を30秒保持

(3) 本焼成：酸素を流しながら、800°C×60分、焼成

【0023】このような乾燥、焼成工程を経ることによって、 $Bi_2SrTa_2O_9$ を主相とする強誘電体薄膜を得ることができた。

【0024】次に、得られた強誘電体薄膜を、オゾンから成る酸化性ガスを含有する酸素雰囲気中で熱処理した。具体的には、5重量%のオゾンを含む常圧の酸素雰囲気中で、400°Cにて1時間の熱処理を強誘電体薄膜に施した。尚、かかる熱処理においては、本出願人が特開

平3-47532号公報にて提案した、オゾンの強い酸化力を効果的に引き出すコールドウォール型熱処理装置を用いることが好ましい。

【0025】かかるコールドウォール型熱処理装置は、図9に模式図を示すように、石英管から成る熱処理容器50と、熱処理容器50の周囲に配設された冷却ジャケット51と、その周囲に配設された加熱手段52から構成されている。冷却ジャケット51には冷却水又は空気が流され、熱処理容器50の壁面が水冷若しくは空冷される。加熱手段52は、例えば、赤外線ランプや誘導加熱用コイルから成り、熱処理容器50内に置かれた被熱処理物57である強誘電体薄膜を加熱することができる。熱処理容器50には、オゾンから成る酸化性ガスを含有する酸素ガスを熱処理容器50内に供給するための供給口53、及びかかる酸素ガスを排出するための排出口54が設けられている。酸素ポンプ等から成る酸素ガス供給源55から供給された酸素ガスは、オゾン発生装置56を通過することによって、オゾンから成る酸化性ガスを含有する酸素ガスと成り、かかるガスが供給口53を介して熱処理容器50内に供給される。

【0026】このように、冷却ジャケット51によって熱処理容器50の壁面が冷却されているので、熱処理容器50の壁面近傍においてはオゾンが熱分解し難い。一方、被熱処理物57は加熱手段52によって加熱されている。従って、被加熱物57の近傍でのみオゾンが熱分解し、被加熱物57の近傍が活性酸素雰囲気となる。

【0027】熱処理前後における強誘電体薄膜中のビスマスの状態をX線励起光電子分光法により解析した結果を、図1に示す。熱処理前の強誘電体薄膜においては、強誘電体薄膜の表面に金属ビスマスが存在することが判る (Binding Energy = 25.7 eV 及び 3 eV)。一方、熱処理を施した強誘電体薄膜においては、これらのピークは完全に消滅しており、金属ビスマスが、最早存在しないことが判る。

【0028】(実施例2) 実施例2も、本発明の強誘電体薄膜の形成方法に関する。実施例2においては、MOCVD法にて成膜したY1系材料である $\text{Bi}_2\text{SrTa}_2\text{O}_9$ から成る強誘電体薄膜を、 N_2O から成る酸化性ガスを含有する酸素雰囲気中で熱処理した。強誘電体薄膜の成膜方法は、実施例1と同様である。

【0029】実施例2においては、成膜した強誘電体薄膜を、 N_2O から成る酸化性ガスを含有する酸素雰囲気中で熱処理した。具体的には、10重量%の N_2O を含む常圧の酸素雰囲気中で、 500°C にて1時間の熱処理を強誘電体薄膜に施した。尚、 N_2O を用いる場合、実施例1にて説明したと同様の熱処理装置を使用してもよいが、 N_2O の分解温度がオゾンと比較して $100\sim 200^\circ\text{C}$ 高いので、通常の熱処理装置を用いてもよい。

【0030】(実施例3) 実施例3は、本発明の半導体素子のキャパシタ構造の作製方法に関する。実施例3に

おいては、MOCVD法にて成膜したY1系材料である $\text{Bi}_2\text{SrTa}_2\text{O}_9$ から成る強誘電体薄膜を、オゾンから成る酸化性ガスを含有する酸素雰囲気中で熱処理した。以下、実施例3の半導体素子のキャパシタ構造の作製方法を、半導体基板等の模式的な一部断面図である図2～図4を参照して説明する。尚、実施例3における半導体素子は、強誘電体キャパシタの蓄積電荷量の変化を検出する方式のFERAMに分類される半導体メモリセルである。

10 【0031】[工程-300] 先ず、シリコン半導体基板10に、公知の方法に基づきLOCOS構造を有する素子分離領域11を形成する。次に、半導体基板10の表面を酸化してゲート酸化膜12を形成する。そして、ポリシリコン層を例えばCVD法にて全面に堆積させた後、フォトリソグラフィ技術及びエッチング技術によってポリシリコン層をパターニングし、ポリシリコンから成るゲート電極13を形成する。尚、このゲート電極13はワード線を兼ねている。次に、不純物イオンのイオン注入及び注入された不純物の活性化処理を行い、ソース・ドレイン領域14及びチャネル領域15を形成する。こうして、半導体素子(選択トランジスタ)が形成される。

【0032】尚、LOCOS構造を有する素子分離領域11の代わりに、素子分離領域をトレンチ構造から構成することもできる。ゲート電極13は、ポリシリコン層から構成する代わりに、ポリサイドや金属シリサイドから構成することもできる。

30 【0033】[工程-310] 次に、半導体基板10上にアモルファス材料から成る下地層である絶縁層20を形成する。即ち、例えばアモルファス材料であるBPSGから成る絶縁層20を例えばCVD法にて全面に堆積させる。こうして、図2の(A)に示す構造を得ることができる。尚、BPSGから成る絶縁層20の成膜後、窒素ガス雰囲気中で例えば $900^\circ\text{C}\times 20$ 分間、絶縁層20をリフローさせることが好ましい。更には、必要に応じて、例えば化学的機械的研磨法(CMP法)にて絶縁層20の頂面を化学的及び機械的に研磨し、絶縁層20を平坦化したり、レジストエッチバック法によって絶縁層20を平坦化することが望ましい。絶縁層20の成膜条件を以下に例示する。

使用ガス： $\text{SiH}_4/\text{PH}_3/\text{B}_2\text{H}_6$

成膜温度： 400°C

反応圧力：常圧

40 【0034】尚、絶縁層20として、BPSGの代わりに、 SiO_2 、PSG、BSG、AsSG、PbSG、SbSG、SOG、 SiON 、 SiN 、NSG、LTO等の公知の絶縁材料、あるいはこれらの絶縁材料を積層したものを挙げることができる。あるいは又、下地層である絶縁層20を、例えば酸化イットリウム Y_2O_3 を添加した酸化ジルコニウム ZrO_2 である安定化ジルコニ

ア(YSZ)から構成することもできる。かかる下地層は、例えば、以下に成膜条件を例示するMOCVD法又はパルスレーザ堆積法にて形成することができる。尚、この場合には、安定化ジルコニアから成る下地層を形成する前に、半導体素子(選択トランジスタ)の上に、例えばSiO₂から成る層間絶縁層を形成しておく。尚、DPMは、dipivaloylmethanoateの略である。

MOCVD法による成膜条件

ソース材料: Zr(C₄H₉O)₄

Y(DPM)₃

成膜温度: 550~650°C

成膜圧力: 27~400Pa

酸素濃度: 50%

パルスレーザ堆積法による成膜条件

ターゲット: ZrO₂/Y

使用レーザ: KrFエキシマレーザ(波長248nm、パルス幅25ns、5Hz、1.1J/cm²)

成膜温度: 500°C

酸素濃度: 3Pa

【0035】[工程-320]次に、絶縁層20上にバッファ層21を形成することが好ましいが、この工程は必須ではない。具体的には、多結晶のBTOから成りそしてc軸に配向した(言い換えれば、BTOのc軸は、絶縁層20の表面に垂直である)バッファ層21をパルスレーザ堆積法(パルスレーザアブレーション法)にて形成する(図2の(B)参照)。バッファ層21の厚さを0.01~0.02μmとした。バッファ層21の成膜条件を以下に例示する。

ターゲット: BTO

使用レーザ: KrFエキシマレーザ(波長248nm、パルス幅25ns、3Hz)

成膜温度: 600~770°C

酸素濃度: 7~27Pa

成膜速度: 0.05~0.1nm/秒

【0036】尚、BTOから成るバッファ層21をMOCVD法にて形成することもできる。この場合には、Biの原料ガスとして、例えば、トリフェニルビスマスを使用する。一方、Tiの原料ガスとしては、例えばテトライソプロポキシチタンを使用する。これらの原料ガス及び酸素ガスとアルゴンガスを使用して、MOCVD装置において下地層上に高配向性を有する(即ち、c軸に配向した)BTOから成るバッファ層をMOCVD法で形成することができる。尚、この場合、半導体基板を約700°Cに保持した状態で成膜を行うことが望ましい。

【0037】[工程-330]その後、バッファ層21上に下部電極層22を形成する。即ち、バッファ層21の上にRFマグネトロンスパッタ法にてPtから成る下部電極層22を堆積させる。下部電極層22の厚さを0.1~0.2μmとした。RFマグネトロンスパッタ

条件を以下に例示する。尚、バッファ層21がc軸に配向した多結晶のBTOから成るが故に、Ptから成る下部電極層22は{100}面を有する。言い換えれば、下部電極層22を構成する白金Ptの{100}面は、バッファ層21の表面に対して平行に形成されている。

アノード電圧: 2.6kV

入力電力: 1.1~1.6W/cm²

プロセスガス: Ar/O₂=90/10

圧力: 0.7Pa

10 成膜温度: 600~750°C

堆積速度: 5~10mm/分

【0038】尚、Pt{100}から成る下部電極層をパルスレーザ堆積法によって成膜することも可能である。パルスレーザ堆積法によるPt{100}の成膜条件を、以下に例示する。

パルスレーザ堆積法による成膜条件

ターゲット: Pt

使用レーザ: KrFエキシマレーザ(波長248nm、パルス幅25ns、5Hz、1.1J/cm²)

20 成膜温度: 500~600°C

【0039】更には、下部電極層を、下からLSCO/Pt{100}から構成することもできる。この場合のパルスレーザアブレーション法によるLSCOの成膜条件を以下に例示する。

ターゲット: LSCO

使用レーザ: KrFエキシマレーザ(波長248nm、パルス幅25ns、3Hz)

出力エネルギー: 400mJ(1.1J/cm²)

成膜温度: 550~600°C

30 酸素濃度: 40~120Pa

【0040】その後、例えばイオンミリング技術を用いて下部電極層22を所望の形状にパターンニングし、更に、例えばRIE法にてBTOを所望の形状にパターンニングする(図2の(C)参照)。

【0041】[工程-340]次いで、下部電極層22上に強誘電体薄膜23を成膜する。具体的には、MOCVD法によって、Bi系層状構造ペロブスカイト型の強誘電体材料から成る強誘電体薄膜23をエピタキシャル成長させる。尚、強誘電体薄膜23は(100)面を有する。言い換えれば、下部電極層22の表面に対するエピタキシャル成長した強誘電体薄膜23の方位は[100]である。例えばY1系材料であるBi₂SrTa₂O₉の成膜条件を以下に例示する。

ソース材料: Sr(C₁₁H₉O₂)₂

Bi(C₈H₅)₃

Ta(OC₂H₅)₅

成膜温度: 650~750°C

成膜圧力: 27~400Pa

酸素濃度: 50%

50 【0042】尚、強誘電体薄膜の成膜を、実施例1と同

11

様の方法で行ってもよい。あるいは又、 $\text{Bi}_2\text{SrTa}_2\text{O}_9$ から成る強誘電体薄膜を、以下に例示する条件のパルスレーザアブレーション法にて形成することもできる。

ターゲット： $\text{Bi}_2\text{SrTa}_2\text{O}_9$

使用レーザ：KrFエキシマレーザ（波長248nm、パルス幅25ns、5Hz）

成膜温度：500°C

酸素濃度：3Pa

【0043】[工程-350] その後、実施例1と同様の方法で、強誘電体薄膜23に対して、オゾンから成る酸化性ガスを含有する酸素雰囲気中で熱処理を施す。

【0044】[工程-360] その後、強誘電体薄膜23上に上部電極層24を形成する。実施例3における上部電極層24はPt(100)から成り、[工程-330]と同様の方法で成膜することができる。

【0045】[工程-370] 次に、例えばイオンミリング技術を用いてPtから成る上部電極層24を所望の形状にパターンニングし、更にRIE法で強誘電体薄膜23をパターンニングする。こうして、図3の(A)に示す構造の半導体素子のキャパシタ構造を得ることができる。

【0046】[工程-380] 次に、絶縁層20、下部電極層22及び上部電極層24の上に、例えばBPSGから成る上層絶縁層30を形成する。尚、上層絶縁層30の形成後、上層絶縁層30を平坦化処理することが望ましい。そして、一方のソース・ドレイン領域14の上方の絶縁層20及び上層絶縁層30に、フォトリソグラフィ技術及びエッチング技術を用いて、開口部31を形成する。また、下部電極層22の上方並びに上部電極層24の上方の上層絶縁層30にも開口部32、33を形成する（図3の(B)参照）。

【0047】[工程-390] そして、例えば、各開口部内を含む上層絶縁層30上に、Ti層及びTiN層を例えばスパッタ法にて成膜した後、TiN層上にアルミニウム系合金（例えばAl-1%Si）から成る金属配線材料層をスパッタ法にて形成する。Ti層、TiN層及びアルミニウム系合金から成る金属配線材料層の成膜条件を以下に例示する。尚、Ti層及びTiN層を形成する理由は、オーミックな低コンタクト抵抗を得ること、アルミニウム系合金から成る金属配線材料層による半導体基板10の損傷発生の防止、アルミニウム系合金の濡れ性改善のためである。

Ti層（厚さ：20nm）

プロセスガス：Ar=35sccm

圧力：0.52Pa

RFパワー：2kW

基板の加熱：無し

TiN層（厚さ：100nm）

プロセスガス： $\text{N}_2/\text{Ar}=100/35\text{sccm}$

12

圧力：1.0Pa

RFパワー：6kW

基板の加熱：無し

アルミニウム系合金層から成る配線層

プロセスガス：Ar=100sccm

圧力：0.26Pa

RFパワー：15kW

基体温度：475°C

【0048】その後、半導体基板10を約500°Cに加熱する。これによって、上層絶縁層30上に堆積したアルミニウム系合金から成る金属配線材料層は流動状態となり、開口部31等の内に流入し、開口部31等はアルミニウム系合金で確実に埋め込まれ、コンタクトプラグが形成される。一方、上層絶縁層30の上にはアルミニウム系合金から成る金属配線材料層が形成される。加熱条件を、例えば以下のとおりとすることができる。

加熱方式：基板裏面ガス加熱

加熱温度：500°C

加熱時間：2分

プロセスガス：Ar=100sccm

プロセスガス圧力：1.1×10³Pa

【0049】ここで、基板裏面ガス加熱方式とは、半導体基板10の裏面に配置したヒーターブロックを所定の温度（加熱温度）に加熱し、ヒーターブロックと半導体基板10の裏面の間にプロセスガスを導入することによって半導体基板10を加熱する方式である。加熱方式としては、この方式以外にもランプ加熱方式等を用いることができる。

【0050】尚、アルミニウム系合金から成る金属配線材料層の成膜は所謂高温アルミニウムスパッタ法にて行ったが、このような成膜方法に限定されるものではなく、所謂高温リフロー法や高圧リフロー法にて行うこともできる。高温リフロー法においては、以下に例示する条件でアルミニウム系合金から成る金属配線材料層を上層絶縁層30上に堆積させる。

プロセスガス：Ar=100sccm

DCパワー：20kW

スパッタ圧力：0.4Pa

基体加熱温度：150°C

【0051】こうして、開口部31、32、33には、アルミニウム系合金が埋め込まれ、コンタクトプラグ35、36、37が形成される（図4の(A)参照）。尚、図4において、参照番号34は金属配線材料層である。また、図3及び図4においては、TiN層及びTi層の図示は省略した。その後、上層絶縁層30の上の金属配線材料層34、TiN層、Ti層をパターンニングし、第1の配線層38、第2の配線層39を形成する（図4の(B)参照）。

【0052】尚、コンタクトプラグ35を、所謂ブラケットタングステンCVD法にて形成することもでき

13

る。そのためには、絶縁層20及び上層絶縁層30に開口部31を形成した後、[工程-380]と同様にTi層及びTiN層をスパッタ法で成膜する。その後、TiN層の上にタングステンから成る金属配線材料層34Aを、以下に例示する条件のCVD法にて堆積させる(図5の(A)参照)。

使用ガス: $WF_6/H_2/Ar = 40/400/2250$ sccm

圧力: 10.7 kPa

成膜温度: 450°C

【0053】その後、絶縁層20上のタングステンから成る金属配線材料層34A及びTiN層、Ti層をエッチングして除去する(図5の(B)参照)。エッチングの条件を、例えば以下のとおりとすることができる。

第1段階のエッチング: タングステン層のエッチング
使用ガス: $SF_6/Ar/He = 110:90:5$ sccm

圧力: 46 Pa

RFパワー: 275 W

第2段階のエッチング: TiN層/Ti層のエッチング 20

使用ガス: $Ar/Cl_2 = 75/: 5$ sccm

圧力: 6.5 Pa

RFパワー: 250 W

【0054】こうして、開口部31にタングステンが埋め込まれたコンタクトプラグ35が形成される。その後、下部電極層22の上方並びに上部電極層24の上方の上層絶縁層30に開口部32、33を形成し、次いで、[工程-380]と同様に、Ti層、TiN層、アルミニウム系合金から成る金属配線材料層34をスパッタ法で成膜した後、これらの各層をパターニングし、第1の配線層38及び第2の配線層39を形成する(図6の(A)参照)。尚、不純物をドーピングしたポリシリコンを開口部31内に埋め込むことで、コンタクトプラグ35を形成してもよい。

【0055】あるいは又、絶縁層20及び上層絶縁層30に開口部31を形成し、下部電極層22の上方の上層絶縁層30に開口部32を形成する。次いで、開口部31、32内を含む上層絶縁層30の上に、順にTi層、TiN層、タングステンから成る金属配線材料層34Aを形成する。その後、上層絶縁層30の上のタングステンから成る金属配線材料層34A、TiN層、Ti層をパターニングして、金属配線材料層34A等から成る第1の配線層38Aを形成してもよい。その後、上部電極層24の上方の上層絶縁層30に開口部33を形成し、次いで、実施例3の[工程-390]と同様に、Ti層、TiN層、アルミニウム系合金から成る金属配線材料層をスパッタ法で成膜した後、第2の配線層39を形成するためにこれらの各層をパターニングする(図6の(B)参照)。

【0056】(実施例4) 実施例4においては、実施例 50

14

3と異なり、上部電極層がプレート線を兼ねている。即ち、実施例4の半導体素子のキャパシタ構造においては、実施例3の[工程-350]における強誘電体薄膜23の熱処理後、強誘電体薄膜23を所望の形状にパターニングする。次いで、全面に上層絶縁層30を形成した後、絶縁層20及び上層絶縁層30に開口部31を形成し、下部電極層22の上方の上層絶縁層30に開口部32を形成する。次いで、開口部31、32内を含む上層絶縁層30の上に、順にTi層、TiN層、アルミニウム系合金から成る金属配線材料層34を形成する。その後、上層絶縁層30の上の金属配線材料層34、TiN層、Ti層をパターニングして、アルミニウム系合金から成る金属配線材料層等から成る第1の配線層38を形成する(図7の(A)参照)。その後、全面に例えばBPSGから成る第2の絶縁層40を形成する。そして強誘電体薄膜23の上方の上層絶縁層30及び第2の絶縁層40に開口部41を形成し、次いで、実施例3の[工程-360]と同様に、開口部41内を含む第2の絶縁層40上にPt膜を成膜する。その後、開口部41内にPt膜を残し、第2の絶縁層40の上のPt膜を選択的に除去し、パターニングする。これによって、強誘電体薄膜23の上にPtから成る上部電極層24Aが形成される。しかも、この上部電極層24Aは開口部41を介して第2の絶縁層40の上を延び、第2の配線層39Aを構成し、プレート線としても機能する(図7の(B)参照)。尚、上部電極層24A及び第2の配線層39Aをアルミニウム系合金から構成することもできる。

【0057】尚、実施例3、実施例4においては、コンタクトプラグ及び第1の配線層を介して、一方のソース・ドレイン領域と電気的に接続された強誘電体薄膜を例にとり説明したが、半導体素子としては、図8に模式的な一部断面図を示すように、絶縁層20に、例えばブランケットタングステンCVD法にてコンタクトプラグ42を形成した後、かかるコンタクトプラグ42の頂部に接続された下部電極層22を設け、その上に強誘電体薄膜23、上部電極層24をそれぞれ設け、更に、全面を上層絶縁層30で覆い、上部電極層24と接続された配線43を形成することによって作製された構造とすることもできる。あるいは又、一方のソース・ドレイン領域と電気的に接続されたコンタクトプラグに対して電気的に接続された配線を設け、かかる配線に電気的に接続された別の接続孔(例えばビアホール)を形成し、そして、この接続孔に強誘電体薄膜が電気的に接続された形態とすることもできる。あるいは又、素子分離領域の上にバッファ層を形成することで、本発明の半導体素子におけるキャパシタ構造を形成することもできる。

【0058】以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。各実施例にて説明した成膜方法や条件、数値は

例示であり、適宜変更することができる。本発明の強誘電体薄膜の形成方法においては、活性酸素雰囲気、酸素のプラズマ励起によって得ることができ、あるいは又、オゾン及び／又は酸素の紫外光励起によって得ることができる。プラズマ励起源としては、13.56kHzのRFプラズマ装置、2.45MHzのECRプラズマ装置等を用いる。図9に使用ような熱処理装置の熱処理容器50内にこれらのプラズマ装置を配設し、また熱処理容器50を真空ポンプに接続して、熱処理容器50内を 1.3×10^2 Pa (1トル) 以下の減圧状態とすることで、プラズマの生成し易い環境を作ることによって、活性酸素雰囲気を効率良く得ることができる。一方、紫外光励起においては、紫外光源として、低圧水銀ランプ、ハロゲンランプ、ArFエキシマレーザ等を用いる。図9に使用ような熱処理装置の熱処理容器50内にこれらのランプ又はレーザを配設し、酸素又はオゾンのガス雰囲気を光励起させることによって、活性酸素雰囲気を効率良く得ることができる。

【0059】本発明の半導体素子のキャパシタ構造の作製方法に基づき、強誘電体薄膜を用いた不揮発性メモリセル(所謂FERAM)のみならず、DRAMを構成することもできる。この場合には、強誘電体薄膜の分極のみを利用する。即ち、外部電極による最大(飽和)分極 P_{max} と外部電極が0の場合の残留分極 P_r との差($P_{max} - P_r$)が、電源電圧に対して一定の比例関係を有する特性を利用する。強誘電体薄膜の分極状態は、常に飽和分極(P_{max})と残留分極(P_r)の間にあり、反転しない。データはリフレッシュによって保持される。

【0060】

【発明の効果】本発明においては、強誘電体薄膜を活性酸素雰囲気中で熱処理するといった単純な熱処理により、通常の酸素雰囲気における熱処理では到達できないレベルにまで強誘電体薄膜中の酸素欠陥(酸素空孔)を低減することができ、その結果、強誘電体薄膜の酸素欠陥(酸素空孔)に起因する、誘電率の低下、リーク電流の増加、残留分極の低下、抗電界の増加等といった誘電特性、強誘電特性、電気的特性の劣化を回避することができ、安定した特性の強誘電体薄膜を形成することができる。その結果、得られた半導体素子の特性も安定し、信頼性も向上する。

【図面の簡単な説明】

【図1】熱処理前後における強誘電体薄膜中のビスマスの状態をX線励起光電子分光法により解析した結果を示すグラフである。

【図2】実施例3の半導体素子のキャパシタ構造の作製方法を説明するための半導体基板等の模式的な一部断面

図である。

【図3】図2に引き続き、実施例3の半導体素子のキャパシタ構造の作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図4】図3に引き続き、実施例3の半導体素子のキャパシタ構造の作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図5】実施例3の半導体素子の作製方法の変形を説明するための半導体基板等の模式的な一部断面図である。

【図6】図5に引き続き、半導体素子の作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図7】実施例4における半導体素子の作製方法を説明するための半導体基板等の模式的な一部断面図である。

【図8】実施例3とは別の構造を有する半導体素子の模式的な一部断面図である。

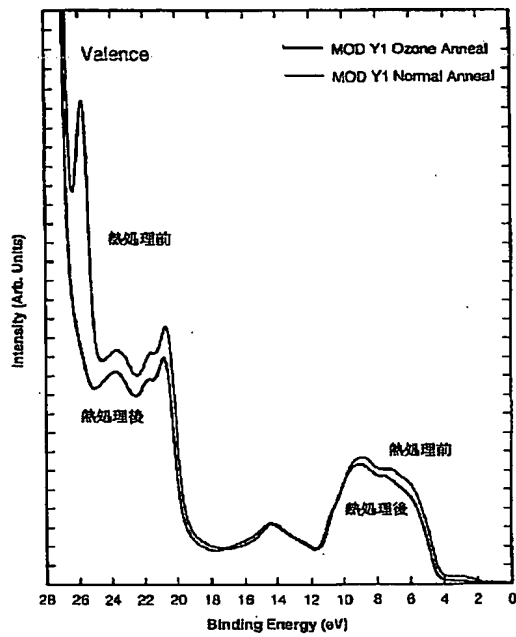
【図9】実施例1における熱処理を実行するために適したコールドウォール型熱処理装置の概要を示す図である。

【図10】強誘電体のP-Eヒステリシスループ図である。

【符号の説明】

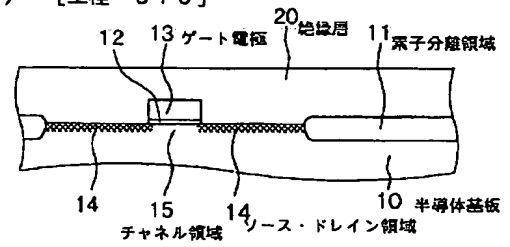
- 10 半導体基板
- 11 素子分離領域
- 12 ゲート酸化膜
- 13 ゲート電極
- 14 ソース・ドレイン領域
- 15 チャネル領域
- 20 絶縁層
- 21 バッファ層
- 22 下部電極層
- 23 強誘電体薄膜
- 24 上部電極層
- 30 上層絶縁層
- 31, 32, 33 開口部
- 34 金属配線材料層
- 35, 36, 37 コンタクトプラグ
- 38 第1の配線層
- 39 第2の配線層
- 50 熱処理容器
- 51 冷却ジャケット
- 52 加熱手段
- 53 供給口
- 54 排出口
- 55 酸素ガス供給源
- 56 オゾン発生装置
- 57 被熱処理物

【図1】

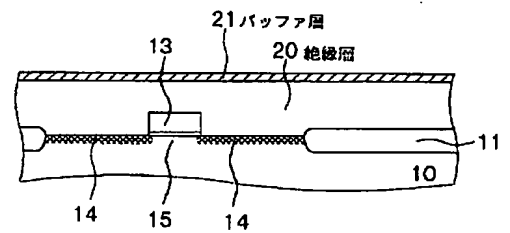


【図2】

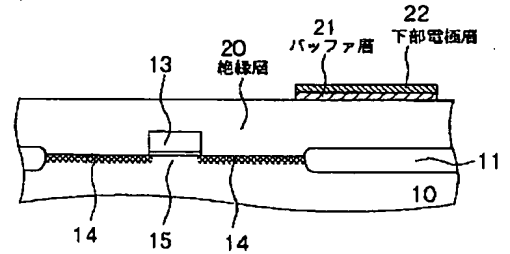
(A) 【工程-310】



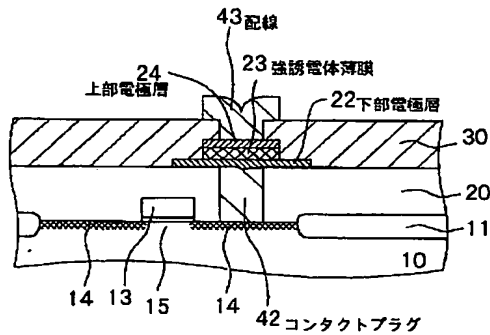
(B) 【工程-320】



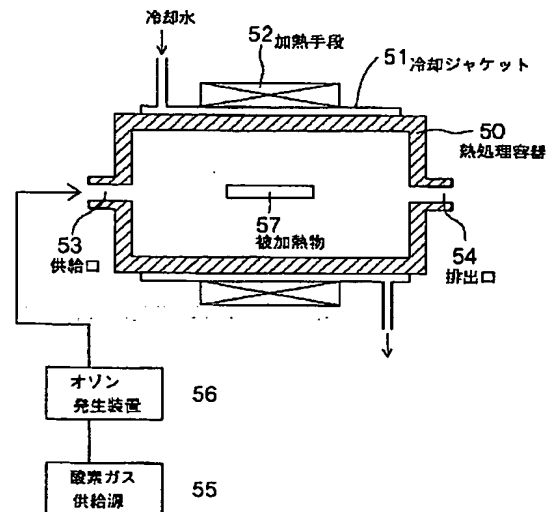
(C) 【工程-330】



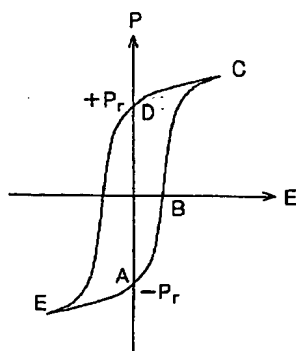
【図8】



【図9】

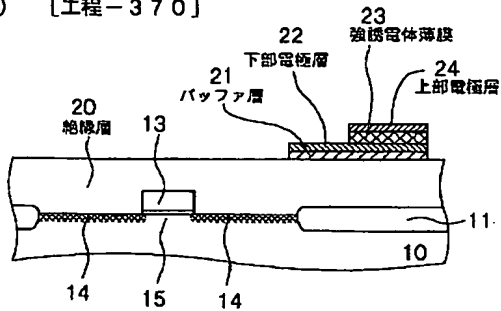


【図10】

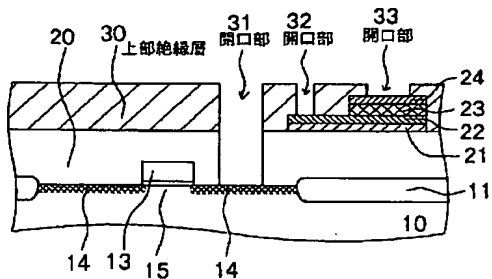


【図3】

(A) [工程-370]

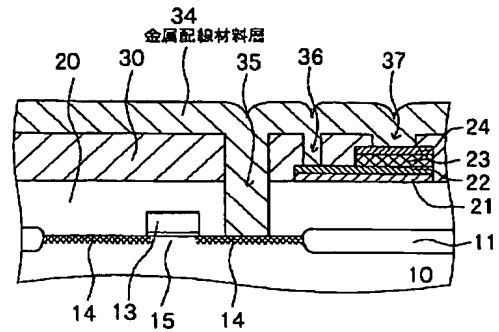


(B) [工程-380]

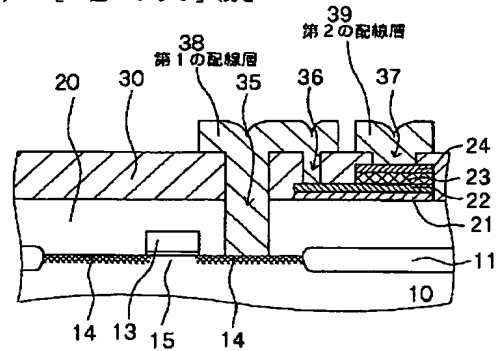


【図4】

(A) [工程-390]

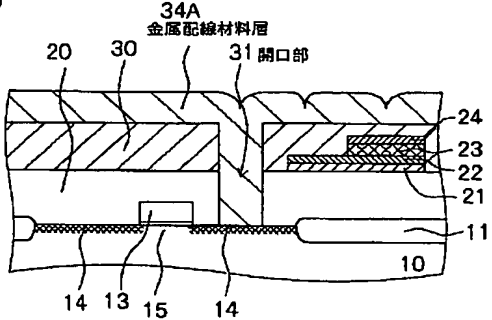


(B) [工程-390] 続き

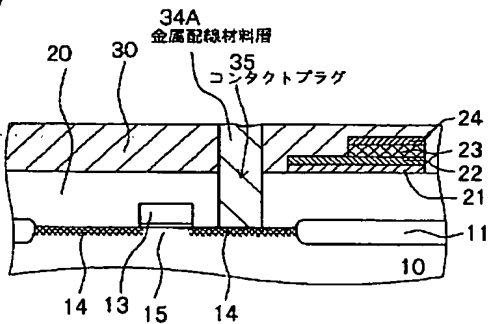


【図5】

(A)

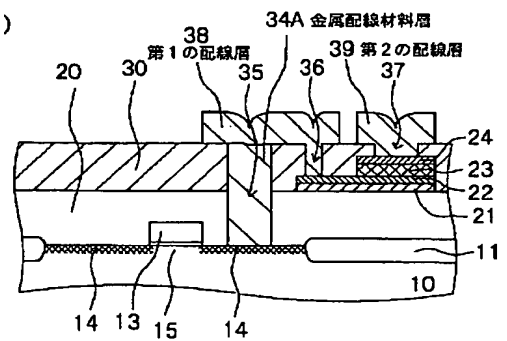


(B)

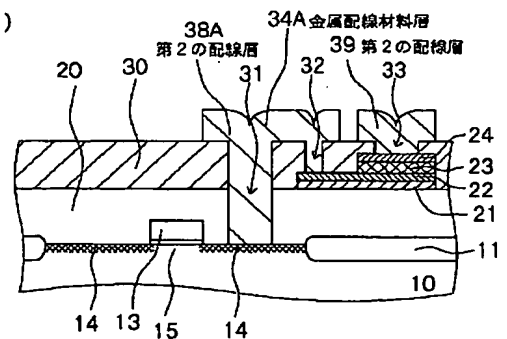


【図6】

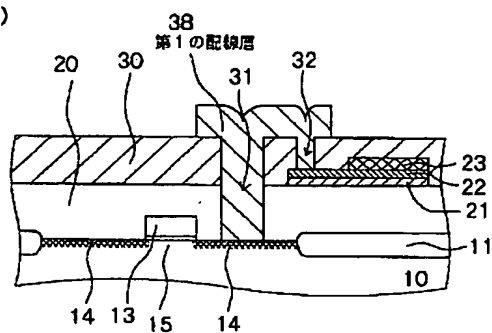
(A)



(B)



(A)



(51) Int.Cl.⁶

H O 1 L 21/8247

29/788

29/792

// H O 1 L 21/316

識別記号

庁内整理番号

FI

技術表示箇所

(72) 發明者 網 隆明

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72)発明者 クリスチャン・グットレーベン

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内